

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-250129

(43)公開日 平成7年(1995)9月26日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 29/14		9371-5K		
1/22		9371-5K	H 0 4 L 13/ 00	3 1 1

審査請求 未請求 請求項の数 3 O L (全 13 頁)

(21)出願番号 特願平6-41284

(22)出願日 平成6年(1994)3月11日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 高祖 一人

東京都日野市旭が丘3丁目1番地の1 株

式会社東芝日野工場内

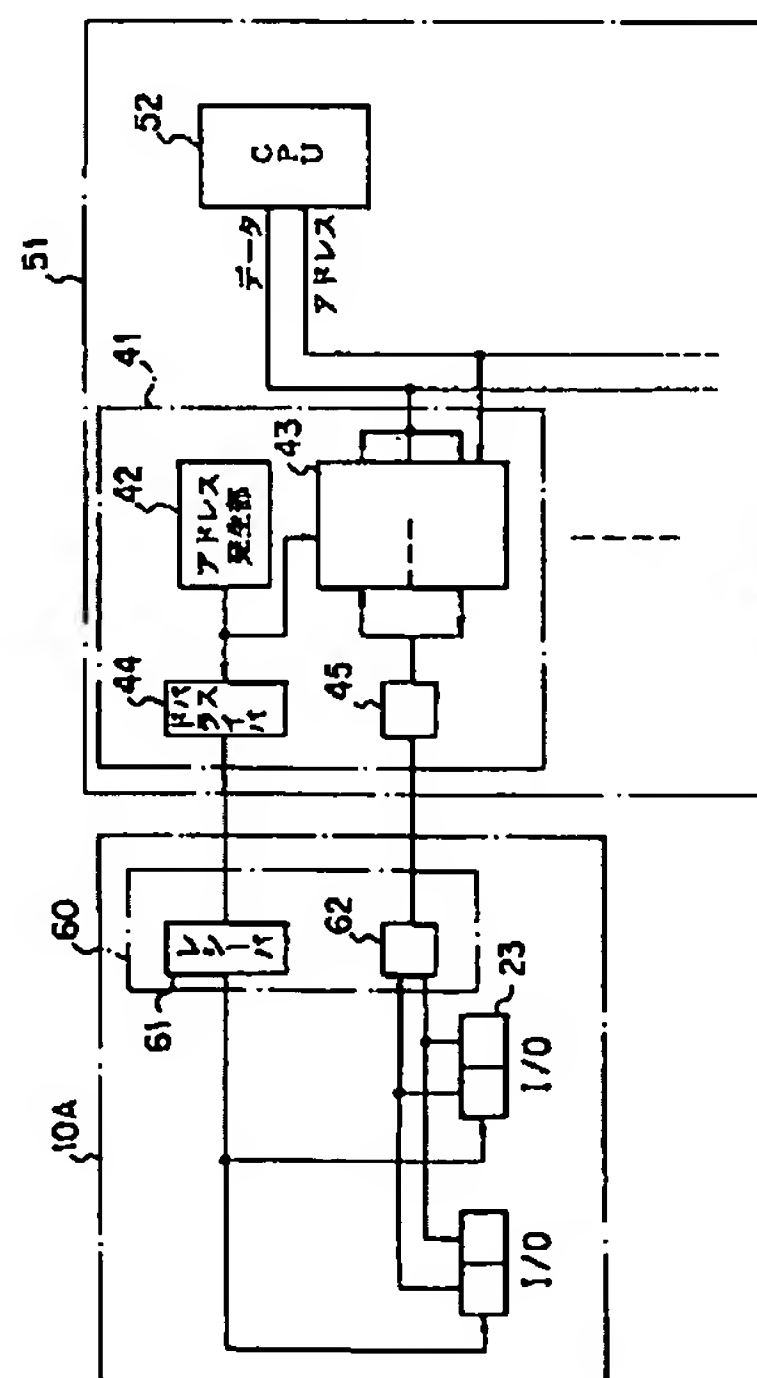
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 伝送システム

(57)【要約】

【目的】 通信回線の復旧を短時間で可能にする伝送システムを提供すること。

【構成】 監視制御手段52と各伝送制御手段10A(MD)の入力ポート23(IP)、出力ポート23(OP)間のデータ授受に共用メモリ(MEM)を用い該MEMのアドレス(AD)割付を各IP、OPのAD割付に対応させOP対応のADでは書込動作をIP対応のADでは読出動作を実施させ各IP、OPでは自己該当のADによりOPの場合は監視情報(AM)を出力させIPの場合はモード設定情報(ST)の取込と該モードへの設定をしアドレス発生手段42から各MDのIP、OPの割付ADを順次繰返し発生させて該ADを各MDとMEMに与え各MDのAMをMEMに集めMEMに設定されたSTを各MDに渡してモード設定し監視制御手段はMEM内のAMを調べて異常検出し異常が発見されたら該当MDのIPに引渡す切離しのSTをMEMにおける該MDのIP対応AD位置に格納し予備用MDから選定した代用MDのIPに渡す現用モードSTをMEMにおける該MDのIP対応AD位置に格納する。



1

【特許請求の範囲】

【請求項1】 複数組の伝送路をそれぞれ個別に管理して伝送制御を司ると共に現用／予備用のモード設定により、予備用に設定された時は伝送制御を中止し、現用に設定された時は伝送制御を実施し、かつ、伝送状態の監視を行って異常を検出した時はそれを報知する監視情報発生する発生する機能を有する伝送制御手段と、これら伝送制御手段からの監視情報を収集して異常を監視し、異常が検知された時は当該異常となった伝送制御手段を切り離し、予備用に設定された伝送制御手段をその代替えとして現用に供するべく制御する装置内監視制御手段とからなる伝送システムにおいて、

各伝送制御手段には入力ポートおよび出力ポートを設けてこれらの入力および出力ポートを選択する固有のアドレスを割り付け、出力ポートの選択アドレスを受けた時は監視情報を装置内監視制御手段に送出し、入力ポートの選択アドレスを受けた時は装置内監視制御手段からのモード設定情報を取り込む機能を付加して構成し、

装置内監視制御手段には各伝送制御手段の入力ポートおよび出力ポートの割り付けアドレスを順次繰り返して発生するアドレス発生手段と、この発生アドレスを各伝送制御手段に与える第1の伝送手段と、各伝送制御手段の入力ポートおよび出力ポートの割り付けアドレスに対応するアドレス割り付けがなされ、各伝送制御手段の入力ポートの割り付けアドレスに対応するアドレスが発生された時はそのアドレス位置に情報の書き込みを行い、各伝送制御手段の出力ポートの割り付けアドレスに対応するアドレスが発生された時はそのアドレス位置の情報を読出すデータ授受メモリと、このデータ授受メモリからの読出し情報を各伝送制御手段に送出する第2の伝送手段と、データ授受メモリから監視情報を読み込み、各伝送制御手段の異常を監視すると共に、異常が検出された時はこの異常が検出された伝送制御手段の入力ポートの割り付けアドレスに対応するデータ授受メモリのアドレス位置に現用からの切り離しを設定するモード設定情報を書き込み、予備用の伝送制御手段の入力ポートの割り付けアドレスに対応するデータ授受メモリのアドレス位置に現用のモード設定情報を書き込むべく制御する監視制御手段とを具備して構成したことを特徴とする伝送システム。

【請求項2】 複数組の伝送路をそれぞれ個別に管理して伝送制御を司ると共に現用／予備用のモード設定により、予備用に設定された時は伝送制御を中止し、現用に設定された時は伝送制御を実施し、かつ、伝送状態の監視を行って異常を検出した時はそれを報知する監視情報発生する発生する機能を有する伝送制御手段と、これら伝送制御手段からの監視情報を収集して異常を監視し、異常が検知された時は当該異常となった伝送制御手段を切り離し、予備用に設定された伝送制御手段をその代替えとして現用に供するべく制御する装置内監視制御手段

2

とからなる伝送システムにおいて、

各伝送制御手段には入力ポートおよび出力ポートを設けてこれらの入力および出力ポートを選択する固有のアドレスを割り付け、出力ポートの選択アドレスを受けた時は監視情報を装置内監視制御手段に送出し、入力ポートの選択アドレスを受けた時は装置内監視制御手段からのモード設定情報を取り込む機能を付加して構成し、装置内監視制御手段には各伝送制御手段の入力ポートおよび出力ポートの割り付けアドレスを順次繰り返して発生するアドレス発生手段と、この発生アドレスを各伝送制御手段に与える第1の伝送手段と、各伝送制御手段の入力ポートおよび出力ポートの割り付けアドレスに対応するアドレス割り付けがなされ、各伝送制御手段の入力ポートの割り付けアドレスに対応するアドレスが発生された時はそのアドレス位置に情報の書き込みを行い、各伝送制御手段の出力ポートの割り付けアドレスに対応するアドレスが発生された時はそのアドレス位置の情報を読出すデータ授受メモリと、このデータ授受メモリからの読出し情報を各伝送制御手段に送出する第2の伝送手段と、データ授受メモリにおける監視情報の更新を行う際に新旧情報の比較を実施し、異なる時に割り込み要求信号を発生する割り込み制御手段と、割り込み要求が発生するとデータ授受メモリの監視情報を読み込み、各伝送制御手段の異常の有無を調査して、異常が検出された伝送制御手段の入力ポートの割り付けアドレスに対応するデータ授受メモリのアドレス位置に現用からの切り離しを設定するモード設定情報を書き込み、予備用の伝送制御手段の入力ポートの割り付けアドレスに対応するデータ授受メモリのアドレス位置に現用のモード設定情報を書き込むべく制御する監視制御手段とを具備して構成したことを特徴とする伝送システム。

【請求項3】 データ授受メモリはデュアル・ポート・メモリを用いて構成したことを特徴とする請求項1または2記載の伝送システム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はデータを伝送する伝送装置の警報監視及び切替制御部の構成方式に関するものである。

【0002】

【従来の技術】 データを伝送する伝送装置は例えば、図7に示す如く、各伝送装置モジュール10毎に伝送路を接続してあり、一部を主回線、残りを予備回線として運用し、主回線として運用中の伝送装置モジュール10を介して伝送データの授受を行うが、その際に、雑音や回線断等の伝送路の状態を監視して、支障が生じた時は予備の回線として待機中の伝送装置モジュールに回線を切り替えて正常なデータ伝送ができるように制御している。そして、各伝送装置モジュール10毎の伝送路監視は、その各伝送装置モジュール10毎にマイクロプロセ

ッサ20を設けて、このマイクロプロセッサ20により監視プログラムを実行させることにより、行っていた。

【0003】そして、図7の構成において、各マイクロプロセッサ20は架内通信線30を介して1台の中央監視制御部50に与えられ、この中央監視制御部50ではこれらの各マイクロプロセッサ20から出力される情報を収集処理・集線部40を介して受けて、各伝送装置モジュール10を主回線／予備回線の設定指令を行い、これによって、どの伝送装置モジュールが主回線として機能させるようにし、また、どの伝送装置モジュールが予備回線として待機状態にするかを管理するようにしていた。

【0004】また、別の例としては、図8に示す如く、データを伝送する伝送装置は各伝送装置モジュール10毎に複数のI/O部を設けてここに伝送線をそれぞれ接続してあり、一部を主回線、残りを予備回線として運用し、主回線の接続されたI/O部を介してデータの授受を行うが、その際に、雑音や回線断等の伝送路の状態を監視して、支障が生じた時は予備の回線の接続されたI/O部に回線を切り替えて正常なデータ伝送ができるように制御している。そして、各伝送装置モジュール10毎の伝送路監視は、その各伝送装置モジュール10毎にマイクロプロセッサ21を設けて、このマイクロプロセッサ21により監視プログラムを実行させることにより、行っていた。

【0005】そして、図8の構成において、各伝送装置モジュール10における各マイクロプロセッサ21は自己の収集した警報等の状態情報を架内通信線30を介して1台の中央監視制御部50に与える。この中央監視制御部50ではこれらの各マイクロプロセッサ21から出力される情報を収集処理・集線部40を介して受けて、各伝送装置モジュール10における複数あるI/O部のうち、どのI/O部を主回線として運用し、どのI/O部を予備回線として待機させるか等の設定指令を行い、各伝送装置モジュール10ではその各マイクロプロセッサ21が架内通信線30を介してこれを受けて、その指令内容に従い、どのI/O部を主回線として運用し、どのI/O部を予備回線として待機させるかを設定して運用し、伝送制御の管理をするようにしていた。

【0006】

【発明が解決しようとする課題】このように従来の伝送装置では図8に示すように、データ伝送制御を実施する各伝送装置モジュール10毎にマイクロプロセッサ20を設けてあり、このマイクロプロセッサ20により自伝送装置モジュール10での伝送状態における警報状態の収集・処理を行い、装置内配線または架間配線30を経由して監視制御中央処理部50に与える。監視制御中央処理部50ではその収集処理・集線部40により情報の収集処理を行い、どれが主回線として運用され、どれが予備回線として待機状態になるかを管理する。このよう

にして、1台の監視制御中央処理部50にて各伝送装置モジュール10の警報監視・切替制御を行っている。

【0007】そして、このような従来の伝送装置では伝送装置モジュール10を複数組用いて構成するにあたって、これらの伝送装置伝送モジュールの警報を一つの中央監視制御部50に与えて伝送装置全体の監視制御を行う構成となっているため、監視制御中央処理部50の負荷は各伝送装置モジュール10におけるマイクロプロセッサ20またはマイクロプロセッサ21に分散処理させて負担軽減を図ることが可能であるが、複数のモジュール、例えば、各伝送装置モジュールの情報授受には、収集処理・集線部40を介する必要があるが、収集処理・集線部40の負担が大きい。また、各伝送装置モジュール10から監視制御中央処理部50にデータを集めて所定の処理を行った後、各伝送装置モジュールのマイクロプロセッサ20または21に再度、分散配布し、マイクロプロセッサ20または21から各伝送装置モジュールに対する処理を行わせる手順が必要であり、装置内でのマイクロプロセッサ20または21、収集処理・集線部40のデータ転送処理の負担は軽減されないと云う欠点がある。

【0008】そのため、最も重要な警報監視により発見した異常発生回線の予備回線への切り替えを行う制御が、データ転送処理の負担が重いことから遅れてしまうと云った危険が生じる。異常が発生した回線の予備回線への切り替えが遅れると、その分、その異常発生回線により伝送を行っていた通信回線の復旧が遅れることを意味するから、データ伝送の正常な運用の妨げになり、通信の信頼性を低くする。

【0009】そこで本発明の目的とするところは、監視制御中央処理部の装置内データ転送処理の負担を軽減し、異常の発生した回線を正常な予備回線に即座に切り替えることができるようにして、通信回線の復旧を短時間で可能にする装置内監視制御装置を備えた伝送システムを提供することにある。

【0010】

【課題を解決するための手段】上記目的を達成するため、本発明はつぎのように構成する。すなわち、複数組の伝送路をそれぞれ個別に管理して伝送制御を司ると共に現用／予備用のモード設定により、予備用に設定された時は伝送制御を中止し、現用に設定された時は伝送制御を実施し、かつ、伝送状態の監視を行って異常を検出した時はそれを報知する監視情報発生する発生する機能を有する伝送制御手段と、これら伝送制御手段からの監視情報を収集して異常を監視し、異常が検知された時は当該異常となった伝送制御手段を切り離し、予備用に設定された伝送制御手段をその代替えとして現用に供するべく制御する装置内監視制御手段とからなる伝送システムにおいて、第1には、各伝送制御手段には入力ポートおよび出力ポートを設けてこれらの入力および出力ポー

トを選択する固有のアドレスを割り付け、出力ポートの選択アドレスを受けた時は監視情報を装置内監視制御手段に送出し、入力ポートの選択アドレスを受けた時は装置内監視制御手段からのモード設定情報を取り込む機能を付加して構成し、装置内監視制御手段には各伝送制御手段の入力ポートおよび出力ポートの割り付けアドレスを順次繰り返して発生するアドレス発生手段と、この発生アドレスを各伝送制御手段に与える第1の伝送手段と、各伝送制御手段の入力ポートおよび出力ポートの割り付けアドレスに対応するアドレス割り付けがなされ、各伝送制御手段の入力ポートの割り付けアドレスに対応するアドレスが発生された時はそのアドレス位置に情報の書き込みを行い、各伝送制御手段の出力ポートの割り付けアドレスに対応するアドレスが発生された時はそのアドレス位置の情報を読出すデータ授受メモリと、このデータ授受メモリからの読出し情報を各伝送制御手段に送出する第2の伝送手段と、データ授受メモリから監視情報を読み込み、各伝送制御手段の異常を監視すると共に、異常が検出された時はこの異常が検出された伝送制御手段の入力ポートの割り付けアドレスに対応するデータ授受メモリのアドレス位置に現用からの切り離しを設定するモード設定情報を書き込み、予備用の伝送制御手段の入力ポートの割り付けアドレスに対応するデータ授受メモリのアドレス位置に現用のモード設定情報を書き込むべく制御する監視制御手段とを具備して構成する。

【0011】また、第2には、各伝送制御手段には入力ポートおよび出力ポートを設けてこれらの入力および出力ポートを選択する固有のアドレスを割り付け、出力ポートの選択アドレスを受けた時は監視情報を装置内監視制御手段に送出し、入力ポートの選択アドレスを受けた時は装置内監視制御手段からのモード設定情報を取り込む機能を付加して構成し、装置内監視制御手段には各伝送制御手段の入力ポートおよび出力ポートの割り付けアドレスを順次繰り返して発生するアドレス発生手段と、この発生アドレスを各伝送制御手段に与える第1の伝送手段と、各伝送制御手段の入力ポートおよび出力ポートの割り付けアドレスに対応するアドレス割り付けがなされ、各伝送制御手段の入力ポートの割り付けアドレスに対応するアドレスが発生された時はそのアドレス位置に情報の書き込みを行い、各伝送制御手段の出力ポートの割り付けアドレスに対応するアドレスが発生された時はそのアドレス位置の情報を読出すデータ授受メモリと、このデータ授受メモリからの読出し情報を各伝送制御手段に送出する第2の伝送手段と、データ授受メモリにおける監視情報の更新を行う際に新旧情報の比較を実施し、異なる時に割り込み要求信号を発生する割り込み制御手段と、割り込み要求が発生するとデータ授受メモリの監視情報を読み込み、各伝送制御手段の異常の有無を調査して、異常が検出された伝送制御手段の入力ポートの割り付けアドレスに対応するデータ授受メモリのアド

レス位置に現用からの切り離しを設定するモード設定情報を書き込み、予備用の伝送制御手段の入力ポートの割り付けアドレスに対応するデータ授受メモリのアドレス位置に現用のモード設定情報を書き込むべく制御する監視制御手段とを具備して構成する。

【0012】

【作用】本発明システムでは装置内監視制御手段と各伝送制御手段（伝送装置モジュールなど）に設けられた入出力ポート（I/O部）間のデータ授受に、共用のデータ授受用メモリを用いており、装置内監視制御手段と各伝送制御手段側からリード/ライト可能なこのメモリのアドレス割り付けを上記各入出力ポートのアドレス割り付けに対応させ、出力ポートのアドレス対応のアドレスでは書き込み動作を実施させ、入力ポートのアドレス対応のアドレスでは読出し動作を実施させ、各入出力ポートでは自己に該当のアドレスが与えられると出力ポートの場合は監視情報を出力させ、入力ポートの場合はモード設定情報の取り込みとそのモードの設定を行うようにした。

【0013】そして、装置内監視制御手段のアドレス発生手段から各伝送制御手段の入力ポートおよび出力ポートの割り付けアドレスを順次繰り返して発生させ、この発生アドレスを各伝送制御手段とデータ授受メモリに与えることにより、各伝送制御手段の入力ポートおよび出力ポートが選択されて各伝送制御手段の監視情報がデータ授受メモリに収集され、また、データ授受メモリに設定されているモード設定情報が各伝送制御手段に渡されてそのモードに設定される。

【0014】監視制御手段はデータ授受メモリに収集された監視情報を調べて異常の監視を行い、異常が発見されたならばその該当の伝送制御手段の入力ポートに引き渡す切り離しのモード設定情報をデータ授受メモリにおける当該伝送制御手段の入力ポート対応のアドレス位置に格納し、予備用の伝送制御手段の中から、この異常発生の伝送制御手段に代用とさせるべき伝送制御手段を選定してこの選定した伝送制御手段の入力ポートに引き渡す現用モード設定情報をデータ授受メモリにおける当該伝送制御手段の入力ポート対応のアドレス位置に格納する。

【0015】従って、監視情報の授受と、モード設定の指令の授受を各伝送制御手段の入出力ポート対応のアドレスにアドレス割り付けした共用のメモリであるデータ授受メモリにより該当のアドレス位置に情報を書き込み、読出し制御することで、授受するようにして監視制御手段側と、各伝送制御手段との間の情報伝送処理の負担をなくして、当該データ授受メモリのアクセスと云う形で利用して行うようにしたために、時間を要するCPUに対する通信処理を回避することができるようになり、メモリアクセスの処理は高速処理が可能であるから、異常の発生した現用回線の切り離しと、予備用回線

への移行を高速で実施可能になり、異常の発生した回線の復旧を高速に実施できるようになる。

【0016】また、第2の構成の場合、割り込み制御手段を設けて、ここでデータ授受メモリにおける監視情報の更新を行う際に新旧情報の比較を実施し、異なる時に割り込み要求信号を発生するようにし、監視制御手段はこの割り込み要求が発生するとデータ授受メモリの監視情報を読み込み、各伝送制御手段の異常の有無を調査して、異常が検出された伝送制御手段の入力ポートの割り付けアドレスに対応するデータ授受メモリのアドレス位置に現用からの切り離しを設定するモード設定情報を書き込み、予備用の伝送制御手段の入力ポートの割り付けアドレスに対応するデータ授受メモリのアドレス位置に現用のモード設定情報を書き込むべく制御するようにして、監視制御手段にはデータ授受メモリに収集された監視情報を調べて異常の監視を定期的に行わねばならない負担を解放するようにした。従って、一層の第1の構成に比べ、監視制御手段の一層の負担軽減を図ることができるようになる。

【0017】

【実施例】以下、本発明の実施例について図面を参照して説明する。

(第1の実施例) 図1は本発明の第1の実施例を示す全体構成図である。図1において、10Aはそれぞれ伝送装置モジュールであり、この伝送装置モジュール10Aには複数のI/O部23が設けられている。60は伝送装置モジュール10A内に設けられたデータ送受のためのレシーバ/ドライバであり、各I/O部23は伝送装置モジュール10A内に設けられたデータ転送バス24を介してこのレシーバ/ドライバ60に接続されている。伝送装置モジュール10Aは独立した一つの中央処理部51に接続される。

【0018】中央処理部51は各伝送装置モジュール10Aから得られる監視情報を受けて各伝送装置モジュール10Aの各I/O部23の異常を監視し、異常が発生したI/O部23は切り離し、代わって予備回線として待機状態にしてある他の正常なI/O部23に切り替えるべく該当のI/O部にモード設定指令を与えると云った監視制御機能を有している。

【0019】各I/O部23はそれぞれ伝送路と接続されており、現用のモードに設定されている時は例えば、伝送路を介して接続されるデータ伝送用の中継装置や伝送端末との間でのデータ伝送に供することができる。

【0020】各I/O部23はそれぞれ異なる特定のアドレスが割り付けられており、その割り付けられたアドレスを指定して指令を与えることにより、あるいはそれぞれ特定のアドレスが与えられることでモード設定の指令取り込み動作、異常検知情報の出力動作をするように設定しており、モード設定指令によってそのI/O部を現用として伝送動作させたり、予備用として待機状態に

させたりすることができる。

【0021】また、各I/O部23には現用として入出力動作させている状態のときに、データ伝送の状態を監視し、回線断となったり、伝送路の信頼性が低下すると警報を発令して異常検知情報(異常検知フラグ)を発生すると云った監視機能を有している。この異常監視機能による異常検知情報は当該I/O部に割り付けられたアドレスを指定して異常監視情報読出し指令を与えるか、当該I/O部に割り付けられた読み込み用の特定アドレスを与えることにより、データ転送バス24を介してレシーバ/ドライバ60よりアドレス/データ転送バス31へ転送させた情報を受領させることができる。

【0022】前記中央処理部51内には監視制御データ授受部41が設けられており、伝送装置モジュール10Aとはこの伝送装置モジュール10A内のレシーバ/ドライバ60よりアドレス/データ転送バス31を介して監視制御データ授受部41と接続されることにより、伝送装置モジュール10Aと中央処理部51は監視制御データの授受を行うことができるようにしている。監視制御データ授受部41には2ポート形式のメモリ、すなわち、リード/ライトすることのできる入出力ポートが2ポートあるデュアルポートメモリをデータ授受用に使用している。

【0023】本発明システムでは中央処理部51と伝送装置モジュール10Aに設けられたI/O部23間のデータ授受に、2ポート(デュアル・ポート)のデータ授受用メモリ(但し、中央処理部51側とアドレス/データ転送バス31側の両方向から排他的にリード/ライト可能なメモリであれば2ポートのメモリでなくとも可能)43を用いており、中央処理部51とアドレス/データ転送バス31の両方向からリード/ライト可能なこのメモリを用いた監視制御データ授受部41とすることで監視情報の収集とチェックの負担をメインのプロセッサに負わせないようにしている。

【0024】すなわち、本発明システムでは中央処理部51には監視制御のためのCPU52を1台設けるが、このCPU52には各I/Oからの監視情報の収集処理の負担を負わせないようにしている。

【0025】中央処理部51は、各伝送装置モジュール10Aにおける各I/Oからの監視情報と、I/O切替え(つまり、現用回線と予備用回線の切替え)のための指令情報(モード設定指令)を授受するために、アドレス/データ転送バス31で接続されており、監視制御データ授受部41は監視情報や指令情報やアドレスデータのアドレス/データ転送バス31に対する送受のためのバスドライバ44、バスドライバ/レシーバ45を設け、また、アドレスデータをサイクリックに発生するアドレス発生部42と上記2ポートのデータ授受用メモリ43とから構成されている。

【0026】そして、各I/O部23からの監視情報は

アドレス発生部42により各I/O部23に割り付けられたアドレスを指定するアドレスデータをサイクリックに発生し、これにより順次指定された各I/O部23から監視情報を得、これをバスドライバ/レシーバ45を介して受けて上記2ポートのデータ授受用メモリ43に書き込む構成とすることで、各I/O部23から監視情報収集を中央処理部51のCPU 52に負わせず、また、データ転送はメモリアクセスで済ませることができる構成としてデータ転送のための特別な処理を必要としない構成としている。

【0027】各伝送装置モジュール10A内にはドライバ/レシーバ60と、モジュール内のデータ転送バス24が設けてあり、入出力ポート(端子)である各I/O部23がデータ転送バス24を介してドライバ/レシーバ60に接続されている。

【0028】ドライバ/レシーバ60には伝送データの受信制御を行うレシーバ61と伝送データの送受のためのバス制御を行うデータ転送バスドライバ/レシーバ62が設けてあり、中央処理部51のバスドライバ44を介してアドレス発生部42から送られて来るアドレスデータをレシーバ61で受け、伝送装置モジュール10A内の各I/O部23に与えることで、その時々アドレスデータに割り付けアドレスが合致するI/O部23が指定でき、この指定されたI/O部23から監視情報をデータ転送バスドライバ/レシーバ62、45を介して、2ポートのデータ授受用メモリ43に書き込ませることにより、中央処理部51のCPU 52はI/O部23に直接、アクセスすることなしに、監視情報を取得してデータ授受用メモリ43に各I/O部23の監視情報を更新登録することができ、該データ授受用メモリ43より監視情報を得るようにして監視情報収集を中央処理部51のCPU 52に負わせないようにしている。

【0029】ここでデータ授受用メモリ43は同一I/O部に対して送信用と受信用のアドレスを対応させておき、監視情報は受信用のアドレスを与えることで、また、モード設定指令は送信用のアドレスを与えることで授受することができるようにしてある。

【0030】上記2ポートのデータ授受用メモリ43はアドレス発生部42からのアドレスデータによりアドレス指定され、そのアドレスデータにより指定されたアドレスに対してI/O部23からの監視情報を書き込む構成であり、また、中央処理部51のCPU 52により、このデータ授受用メモリ43のアドレスを指定して読出すことにより監視情報を当該CPU 52に取り込むことができる。

【0031】当該CPU 52にはデータ授受用メモリ43の内容を定期的に取り込み、監視情報をチェックすることで、伝送路異常となった回線を担当するI/O部を他の待機中の回線を担当するI/O部に切替えて、回線切替えを実施する制御を司る。I/O部の切替えは、

データ授受用メモリ43の該当I/O部への送信用対応のアドレスを指定して現用/予備用のモード指定用の指令データを書き込み指令と共に出力し、データ授受用メモリ43に書き込むことで実施する構成であっても良いが、各I/O部の入力ポート、出力ポートのアクセスにそれぞれ割り付けたアドレスをデータ授受用メモリ43のアドレスとしても共通化して割り付け、I/O部の出力ポートのアクセス用アドレスであれば、データ授受用メモリ43の該当アドレス位置に、I/O部から与えられるデータを書き込み、I/O部の入力ポートのアクセス用アドレスであれば、データ授受用メモリ43の該当アドレス位置の内容を読出してI/O部に与えるようにすることで、アドレスにより、各I/O部の入力ポート、出力ポートのアクセスとデータ授受用メモリ43のデータの入出力を同時に行う構成とすることができる。

【0032】つぎにこのような構成の本装置の作用を説明する。アドレス発生部42は各I/O部23に割り付けたアドレスデータをサイクリックに発生する。そして、このアドレスデータは、データ授受用メモリ43とバスドライバ44に与えられる。バスドライバ44はこのアドレスデータをアドレス/データ転送バス31のデータバスへと送出し、各伝送装置モジュール10Aではそれぞれレシーバ61を介してこれを受信する。

【0033】そして、レシーバ61はこれを自伝送装置モジュール10A内の各I/O部23に与える。各I/O部23ではそれぞれこれをデコードして、自己に割り付けられたアドレスである場合に自己を能動状態にするが、この装置の場合、例えば、各I/O部23にそれぞれ2つのアドレスを割り付け、一方を出力ポートのアクセス(監視情報の送信)に、他方を入力ポートのアクセス(中央処理部51からのモード設定指令の受信)にしておくことで、上記一方のアドレスの場合、監視情報の送信状態となり、現在の自I/O部23における監視情報をバスドライバ/レシーバ62に送出する。

【0034】バスドライバ/レシーバ62はこの監視情報をアドレス/データ転送バス31のデータバスに送り出す。中央処理部51ではバスドライバ/レシーバ45を介してこの監視情報を受取り、上記2ポートのデータ授受用メモリ43に書き込む。

【0035】データ授受用メモリ43ではアドレス発生部42からの発生アドレスデータが与えられており、これが受信用のアドレスであるから、受取った監視情報をこのアドレス位置に書き込む。これにより、アドレス発生部42からの発生アドレスに対応するI/O部の監視情報が、データ授受用メモリ43における当該I/O部対応の受信用アドレス位置に書き込まれる。

【0036】このようにしてアドレス発生部42からサイクリックに各I/O部割り付けアドレスを発生することで、データ授受用メモリ43には各I/O部該当の受信用アドレス位置に、受取った監視情報を書き込むこと

になり、各I/O部の監視情報をデータ授受用メモリ43に収集することができる。

【0037】一方、中央処理部51のCPU 52はデータ授受用メモリ43の内容を定期的に取り込み、監視情報をチェックする。これにより、伝送路異常となった回線を担当するI/O部を知る。そして、この伝送路異常となった回線を担当するI/O部に対応するアドレスを発生してデータ授受用メモリ43に与え、かつ、切り離しモードの設定指令のデータを出力してそのアドレス位置に書き込み制御する。また、他の待機中の回線を担

当するI/O部を調べて選定し、その選定したI/O部に該当する送信用のアドレス位置対応のアドレスを発生してデータ授受用メモリ43に与え、かつ、現用モードの設定指令のデータを出力してそのアドレス位置に書き込み制御する。

【0038】データ授受用メモリ43にはアドレス発生部42からの発生アドレスデータが与えられており、このアドレスはサイクリックに変わるので、あるI/O部の入力ポートアクセス用のアドレスとなったときに、当該データ授受用メモリ43の当該アドレスが、読出しのためにアクセスされてそのアドレス位置内に記憶されているモード設定指令の情報は当該データ授受用メモリ43から読み出され、バスドライバ/レシーバ42、62を介して当該アドレスに該当するI/O部に送られ、そのI/O部に取り込まれて設定されることにより、I/O部は伝送異常となったものから待機用のものに切替

えられて伝送業務に供されることになる。

【0039】このようにして、アドレス発生部42からサイクリックに発生されるアドレスに対応するI/O部の監視情報が、データ授受用メモリ43における当該I/O部対応の受信用アドレスに逐次書き込まれ、中央処理部51ではこれをチェックして異常があれば、該当するI/O部対応の送信用アドレスに、切り離しモード設定指令を書き込んで、該I/O部に渡すことにより現用から切り離し、代わってデータ授受用メモリ43における待機モードI/O部対応の送信用アドレスに現用のモード設定指令を書き込んで該当I/O部に渡すことにより、単にメモリのアクセスを行うだけで監視と、異常発見時の予備用回線への自動切り替えを済ませることができるようになることから、中央処理部51のCPUに直接的に各I/O部の監視情報の収集にあたる負担をかけずに済むばかりでなく、中央処理部51における各I/O部23との監視情報や指令の伝送のための特別な伝送処理の負担、そして、各I/O部23側での特別な伝送処理の負担を負わずに済むようになる。

【0040】ここでデータ授受用メモリ43の割り付け例について少し触れておく。各I/O部23のうち、監視情報(警報信号)読取りのための対象となるI/O部23を指定するために、当該I/O部23に送信用である出力ポート用と受信用である入力ポート用のアドレス

を割り付けてあり、出力ポート用のアドレスがアドレス発生部42より与えられた時は自己の現在の監視情報を送出するが、データ授受用メモリ43はこの送出された監視情報を書き込むための各I/O部別監視情報書き込み位置(各I/O部別の受信用のアドレス位置)と、各I/O部23に与えるモード設定指令を書き込むための各I/O部別モード設定指令書き込み位置(各I/O部別の送信用のアドレス位置)に分けてある。

【0041】そして、その各位置における割り付けアドレスは各I/O部23の出力ポート用および入力ポート用のアドレスに対応させてある。つまり、各I/O部23の入出力ポートの割り付けアドレスと合致させている。

【0042】図1および図2に示すような構成の本発明装置の場合、データ授受用メモリ43はデュアルポートメモリを使用しており、2つあるアクセスのためのポートは別々にアドレス割り付けすることができる。そのため、一つのポートを各伝送装置モジュール10Aとのデータ授受にアドレス発生部42からの発生アドレスによるアクセスする構成とし、また、他方のポートは中央処理部51のCPU 52により管理されるメモリ空間に割り付けることで、このデュアルポートメモリを2種のメモリ空間に別々に割り付けて利用することができ、いずれのメモリ空間からも、各I/O部のデュアル・ポート・メモリ上での物理的な割り付け位置が同じ位置であれば、このデュアル・ポート・メモリを介して情報の授受を行うことができることを利用して、各I/O部の割り付けアドレスと同じアドレスをデュアル・ポート・メモリの一方のポートのアクセス可能なメモリ空間に割り付けて各I/O部の選択アドレスと共通化し、各I/O部の情報収集にはデュアル・ポート・メモリの当該一方のポートを利用して、各I/O部に割り付けたアドレスと順に繰り返して発生するアドレス発生部によりアドレス指定することにより、行い、また、他方のポートは中央処理部51のCPU 52のアクセス可能なメモリ空間に割り付けてCPU 52の監視プログラムで監視すると共に、I/O部の切り替えはデュアル・ポート・メモリの該当I/O部の該当アドレスを用いて指令を引き渡すことにより行うので、中央処理部51のCPU 52にI/O部を直接監視させる手間をかけることなく、I/O部の監視を行うことができる。

【0043】データ授受用メモリ43は2ポートを有していてそれぞれ異なるアドレス空間を割り付けてアクセス可能であるから、一方のポートから見たアドレスの割り付けは例えば、入出力ポートであるI/O部23のアドレスと対応させるようにし、他方のポートのアドレスの割り付けはCPU 52のメモリ空間に割り付けるが、この割り付けを図3に示すようなアドレス・マップに割り付けたとすると、I/O部23はメモリ空間における“0000”～“0FFF”になるようにアドレス

割り付けされ、中央処理部51のCPU 52からはアドレスはCPU 52のメモリ空間における“0000”～“2FFF”に割り付けられたことになる。

【0044】従って、監視制御データ授受部41のメモリ43はアドレス発生部42からの発生アドレスをアドレス変換テーブルを介してアドレス変換することにより、中央処理部51から見たメモリ43のアドレスは“0000”～“2FFF”に割り付けられている如きとなり、I/O部23側（伝送装置モジュール10Aの側）からはメモリ43のアドレスは“0000”～“0FFF”に割り付けられている如きに見える。

【0045】そして、ここではI/O部23側からみた場合に、各I/O部23の入力ポートに“0000”～“0FFF”のうちのそれぞれ異なる一つずつを割り付け、各I/O部23の出力ポートにその残りのうちのそれぞれ異なる一つずつを割り付けることで、アドレス位置を各I/O部23の入出力ポートのアクセスと対応させることができ、“0000”～“0FFF”のアドレスをサイクリックに繰り返すことにより、各I/O部23の入出力ポートのアクセスと、これに対応する授受データのデータ授受用メモリ43を介しての授受が単純な繰り返し動作で実施可能になる。

【0046】従来例に示すCPU 20またはCPU 21のCPUは、装置内のデータ転送と、伝送モジュールの警報発生を検出が主要な負荷（仕事）である。そして、警報発生は直ちに検出する必要があり、自動予備切り替えの制御を緊急に行う必要がある。

【0047】本システムでは各I/O部からの見たアドレスはこれら各I/O部に割り付けたアドレスとし、中央処理部51のCPUから見たアドレスは当該CPUのメモリ空間に対応するものとしたデュアル・ポート・メモリを用い、各I/O部のアクセスをこのデュアル・ポート・メモリの一方のポートからのアクセスに使用し、他方のポートのアクセスは中央処理部51のCPUから見たアドレスで行って、このデュアル・ポート・メモリを共用のメモリとして使用し、監視情報の授受と、モード設定の指令の授受をこの共用のメモリにより行うようにして、中央処理部51のCPUと、各I/O部のアクセスとをこの共用のメモリのアクセスと云う形で利用して行うようにしたために、時間を要するCPUに対する通信処理を回避することができるようになり、メモリアクセスの処理は高速処理が可能であるから、異常の発生した現用回線の切り離しと、予備用回線への移行を高速で実施可能になり、異常の発生した回線の復旧を高速に実施できるようになる。

【0048】つぎにCPU 52の負担をさらに軽減する別の例を第2実施例として説明する。

（第2実施例）図4に示す例は、図2の構成例にさらに演算部46、バッファ47、バッファ48、割り込み発生部49を加えた構成としたものである。

【0049】バッファ47は、バスドライバ/レシーバ44を介して伝送装置モジュール側から伝送されてきたデータを一時保持するためのものであり、バッファ48はアクセスされてデータ授受用メモリ43から読み出されたデータを一時保持するためのものであり、演算部46はこれら両バッファ47、48からのデータの差を求める回路であり、また、割り込み発生部49は演算部46の演算結果が“0”でないとき、CPU 52に割り込みベクタを発生する装置である。また、演算部46の“0”以外の出力は割り込み信号としてCPU 52に与えられる構成であり、割り込み発生部49の出力する割り込みベクタはCPU 52に対する優先度の高い割り込みをかけるベクタとしてある。

【0050】この実施例では、CPU 51にはこの割り込みが入ると、データ授受用メモリ43を検索してどのアドレスに異常発生の監視情報が書き込まれているかをチェックし、その情報が書き込まれているアドレスからどのI/O部が担っている回線での異常発生かを知って、このI/O部を切り離し、これに代わる他の正常な予備用回線のI/O部に回線に移すべく、回線切り替えのモード設定指令をデータ授受用メモリ43を介して与える構成としてある。この実施例ではCPU 52には異常監視のためにデータ授受用メモリ43の内容を逐次監視するルーチンをなくしており、これによって、CPU 52には割り込みが掛かった時のみ異常の発生したI/O部がどれであることをデータ授受用メモリ43の内容チェックにより知ると云った処理をする構成として、逐次監視の負担を解消している。

【0051】他は第1実施例とほぼ同じであり、中央処理部51は、各伝送装置モジュール10Aにおける各I/Oからの監視情報と、I/O切替え（つまり、現用回線と予備用回線の切替え）のための指令情報（モード設定指令）を授受するために、アドレス/データ転送バス31で接続されており、監視制御データ授受部41は監視情報や指令情報やアドレスデータのアドレス/データ転送バス31への授受のためのバスドライバ44、バスドライバ/レシーバ45を設け、また、アドレスデータをサイクリックに発生するアドレス発生部42と上記2ポートのデータ授受用メモリ43（但し、上述同様、中央処理部51の側とアドレス/データ転送バス31側の両方向から排他的にリード/ライト可能なメモリであれば2ポートのメモリでなくとも可能）とから構成されていて、各I/O部23からの監視情報はアドレス発生部42により各I/O部23に割り付けられたアドレスを指定するアドレスデータをサイクリックに発生し、これにより順次指定された各I/O部23から監視情報を得、これをバスドライバ/レシーバ45を介して受けて上記2ポートのデータ授受用メモリ43に書き込む構成としてある。

【0052】各伝送装置モジュール10A内にはドライ

バ／レシーバ60と、モジュール内のデータ転送バス24が設けてあり、入出力ポート（端子）である各I／O部23がデータ転送バス24を介してドライバ／レシーバ60に接続されている。

【0053】ドライバ／レシーバ60には伝送データの受信制御を行うレシーバ61と伝送データの送受のためのバス制御を行うデータ転送バスドライバ／レシーバ62が設けてあり、中央処理部51のバスドライバ44を介してアドレス発生部42から送られて来るアドレスデータをレシーバ61で受け、伝送装置モジュール10A内の各I／O部23に与えることで、その時々

のアドレスデータに割り付けアドレスが合致するI／O部23が指定でき、この指定されたI／O部23から監視情報をデータ転送バスドライバ／レシーバ62、45を介して、2ポートのデータ授受用メモリ43に書き込ませる。

【0054】ここでデータ授受用メモリ43は同一I／O部に対して送信用と受信用のアドレスを対応させてあり、監視情報用は受信用のアドレスに、モード設定指令用には送信用のアドレスを使用する。

【0055】上記2ポートのデータ授受用メモリ43はアドレス発生部42からのアドレスデータによりアドレス指定され、そのアドレスデータにより指定されたアドレスに対してI／O部23からの監視情報を書き込み構成であり、また、中央処理部51ではCPU52により、このデータ授受用メモリ43のアドレスを指定して読出すことにより監視情報を当該CPU52に取り込むことができる。

【0056】当該CPU52には上記割り込み発生によりデータ授受用メモリ43の内容を順に取り込み、監視情報をチェックすることで、どの回線を担当するI／O部が異常を示しているかを知り、伝送路異常となった回線を担当するI／O部を他の待機中の回線を担当するI／O部に切替えて、回線切替えを実施する制御を司る。I／O部の切替えは、データ授受用メモリ43の該当I／O部への送信用対応のアドレスを指定して現用／予備用のモード指定用の指令データを書き込み指令と共に出力し、データ授受用メモリ43に書き込むことで実施する構成であっても良いが、各I／O部の入力ポート、出力ポートのアクセスにそれぞれ割り付けたアドレスをデータ授受用メモリ43のアドレスとしても共通化して割り付け、I／O部の出力ポートのアクセス用アドレスであれば、データ授受用メモリ43の該当アドレス位置に、I／O部から与えられるデータを書き込み、I／O部の入力ポートのアクセス用アドレスであれば、データ授受用メモリ43の該当アドレス位置の内容を読出してI／O部に与えるようにすることで、アドレスにより、各I／O部の入力ポート、出力ポートのアクセスとデータ授受用メモリ43のデータの入出力を同時に行う構成とすることができる。

【0057】つぎにこのような構成の本装置の作用を説明する。アドレス発生部42は各I／O部23に割り付けたアドレスデータをサイクリックに発生する。そして、このアドレスデータは、データ授受用メモリ43とバスドライバ44に与えられる。バスドライバ44はこのアドレスデータをアドレス／データ転送バス31のデータバスへと送出し、各伝送装置モジュール10Aではそれぞれレシーバ61を介してこれを受信する。

【0058】そして、レシーバ61はこれを自伝送装置モジュール10A内の各I／O部23に与える。各I／O部23ではそれぞれこれをデコードして、自己に割り付けられたアドレスである場合に自己を能動状態にするが、この装置の場合、例えば、各I／O部23にそれぞれ2つのアドレスを割り付け、一方を出力ポートのアクセス（監視情報の送信）に、他方を入力ポートのアクセス（中央処理部51からのモード設定指令の受信）にしておくことで、上記一方のアドレスの場合、監視情報の送信状態となり、現在の自I／O部23における監視情報をバスドライバ／レシーバ62に送出する。

【0059】バスドライバ／レシーバ62はこの監視情報をアドレス／データ転送バス31のデータバスに送り出す。中央処理部51ではバスドライバ／レシーバ45を介してこの監視情報を受取り、上記2ポートのデータ授受用メモリ43に書き込む。

【0060】データ授受用メモリ43ではアドレス発生部42からの発生アドレスデータが与えられており、これを書き込み領域のアドレスであるから、受取った監視情報をこのアドレス位置に書き込む。これにより、アドレス発生部42からの発生アドレスに対応するI／O部の監視情報が、データ授受用メモリ43における当該I／O部対応の受信用アドレス位置に書き込まれる。

【0061】このようにしてアドレス発生部42からサイクリックに各I／O部割り付けアドレスを発生することで、データ授受用メモリ43には各I／O部該当のアドレスに受取った監視情報を書き込むことになり、各I／O部の監視情報をデータ授受用メモリ43に収集することができる。

【0062】一方、本実施例では演算部46、バッファ47、バッファ48、割り込み発生部49を新たに加えた構成としてあり、このうち、バッファ47は、バスドライバ／レシーバ44を介して伝送装置モジュール側から伝送されてきたデータを一時保持し、バッファ48はアドレス発生部42からの発生アドレスの内容を読出したものを一時保持する。本実施例ではアドレス発生部42からの発生アドレスによりデータ授受用メモリ43をアクセスして、I／O部からの監視情報を書き込むにあたり、これに先駆けてそのアクセスすべきアドレスに書き込まれている内容を読出し、その後当該I／O部からの監視情報を書き込むように制御する。

【0063】その結果、読出しのアクセスによってデー

タ授受用メモリ43から読み出されたデータはバッファ48に一時保持されることになり、そして、演算部46で両バッファ47、48の内容の差を求めることで、前回と今回の監視情報の内容を比較することができ、その差が“0”なければ状態が変わってしまったと言うことを意味するから、異常発生と認識することができる。

【0064】そして、割り込み発生部49は演算部46の演算結果が“0”でないとき、CPU52に割り込みベクタを発生する。また、演算部46の“0”以外の出力は割り込み信号としてCPU52に与えられる構成であり、これにより、割り込み発生部49の出力する割り込みベクタの割り込みがCPU52に対して掛かることになる。この割り込みは優先度の高い割り込みであり、この割り込みによりCPU52は異常の発生したI/O部がどれであるかをデータ授受用メモリ43の内容チェックにより知る。

【0065】そして、監視情報から異常ありとなった該当のI/O部対応のアドレス（データ授受用メモリ43における該当のI/O部対応の送信用アドレス）に、切り離しモード設定指令を書き込んで、現用から切り離し、代わってデータ授受用メモリ43における待機モードI/O部対応のアドレスに現用のモード設定指令を書き込んで該当I/O部に渡す。

【0066】すなわち、異常の発生による割り込みが掛かると中央処理部51のCPU52はデータ授受用メモリ43の内容を取り込み、監視情報をチェックする。これにより、伝送路異常となった回線を担当するI/O部を知る。そして、この伝送路異常となった回線を担当するI/O部に該当する送信用のアドレスを発生してデータ授受用メモリ43に与え、かつ、待機モードの設定指令のデータを出力してそのアドレスに書き込み制御する。また、他の待機中の回線を担当するI/O部を調べて選定し、その選定したI/O部に該当する送信用のアドレス位置対応のアドレスを発生してデータ授受用メモリ43に与え、かつ、現用モードの設定指令のデータを出力してそのアドレスに書き込み制御する。

【0067】データ授受用メモリ43にはアドレス発生部42からの発生アドレスデータが与えられており、このアドレスはサイクリックに変わるので、送信用のアドレスとなったときに、当該データ授受用メモリ43の当該アドレスが、読出しのためにアクセスされてそのアドレス位置内に記憶されているモード設定指令の情報はバスドライバ/レシーバ42、62を介して当該アドレスに該当するI/O部に送られ、そのI/O部に取り込まれて設定されることにより、I/O部は伝送異常となったものから待機用のものに切替えられて伝送に供されることになる。

【0068】このように、各I/O部からの監視情報を順次、データ授受用メモリ43の受信用に取り込むと共に、当該監視情報の新旧監視情報の比較を行う演算手段

により、監視情報変化を監視して異常の有無をチェックし、異常があれば割り込み発生手段によりCPU52に対する割り込み要求を発生して当該CPU52にデータ授受用メモリ43の内容をチェックさせ、データ授受用メモリ43における当該異常を示す監視情報が書き込まれたアドレスに該当するI/O部用の送信用対応アドレスに、切り離しモード設定指令を書き込んで、現用から切り離し、代わってデータ授受用メモリ43における待機モードI/O部対応の送信用アドレスに現用のモード設定指令を書き込んで該当I/O部に渡すことにより、単にメモリのアクセスを行うだけで監視とモード切り替えができるようになることから、中央処理部51のCPUに直接的に各I/O部の監視情報の収集にあたる負担と監視情報の定期的なチェックのための処理負担をかけずに済むばかりでなく、中央処理部51における各I/O部23との監視情報や指令の伝送のための特別な伝送処理の負担、そして、各I/O部23側での特別な伝送処理の負担を負わずに済むようになる。すなわち、従来のように通信伝送処理による監視情報の伝送を行った場合に比べて、各モジュール毎に入出力、転送、集線の処理を行うと云う装置内データ転送処理の負担が大幅に軽減される。

【0069】また、この第2の実施例では警報の監視情報について、最新のものと前回値（または、前々回値）とを比較し（実施例では差分をとる形式であるが、比較による一致/不一致でもかまわない）、これによって警報状態の変化を検出し、CPU52に割り込み処理の要求をするようにしたので、警報が生じた時はその情報を受け取った時点でただちにチェックに入ることができるから、定期的にチェックする第1の実施例に比較して警報は緊急処理できる。

【0070】以上のようにこの実施例では、CPU51にはこの割り込みが入ると、データ授受用メモリ43を検索してどのアドレスに異常発生の監視情報が書き込まれているかをチェックし、その情報が書き込まれているアドレスからどのI/O部が担っている回線での異常発生かを知って、このI/O部を切り離し、これに代わる他の正常な予備用回線のI/O部に回線を移すべく、回線切り替えのモード設定指令をデータ授受用メモリ43を介して与える構成とした。

【0071】この実施例ではCPU52には異常監視のためにデータ授受用メモリ43の内容を逐次監視するルーチンをなくしており、これによって、CPU52には割り込みが掛かった時のみ異常の発生したI/O部がどれであるかをデータ授受用メモリ43の内容チェックにより知ると云った処理をする構成として、逐次監視の負担を解消している。

【0072】なお、本発明は上記し、かつ、図面に示す実施例に限定することなく、その要旨を変更しない範囲内で適宜変形して実施し得るものであり、例えば、デー

タの収集と比較はカウンタ構成の他に専用のマイクロコントローラでも実施可能である。

【0073】また、各 I/O 部の監視情報収集などをサイクリック行うようにするにあたり、アドレスを順番に変えて行くようにするのが最もハードウェア構成が簡単となるが、柔軟性を持たせる必要がある場合には図 5 に示す如き構成を採用すれば良い。図 5 の構成はアドレス変換テーブルを格納するメモリ TM を用い、このアドレス変換テーブルメモリ TM をアドレス発生部 42 の後段に設けると共に、アドレス変換テーブルメモリ TM は C

PU 52 によりアドレス変換テーブル内容を書き替え制御できるようにしたものである。

【0074】このようにすると、アドレス発生部 42 により発生されたアドレス情報はアドレス変換テーブルメモリ TM に与えられ、ここでメモリ TM 内のアドレス変換テーブルにより入力アドレス情報対応の所定のアドレスに変換されて出力される。

【0075】このアドレス変換テーブルメモリ TM におけるアドレス変換テーブル内容は CPU 52 からの書き替え制御により、自由に変更できることから、該メモリ TM のアドレス変換テーブル内容を所望の内容に設定することで、アドレス発生部 42 の出力を該アドレス変換テーブルメモリ TM でデコードすれば、アドレス発生部 42 の発生アドレスを、その順番、周期を自在に設定変更可能にできる。

【0076】これにより、予備用の伝送路の担当 I/O 部や、切り離し設定操作された伝送路担当の I/O 部の監視を除外したり、有線度の高いものの監視の実行比率を高めるようにしたりすることが自在に行えるようになり、実態に合わせて効率的あるいは合理的な監視制御を

実施できるようになる。

【0077】また、上記各実施例はいずれも各伝送装置モジュールと中央処理部との間を繋ぐアドレス/データ転送バス 31 などはパラレルバスを使用する構成としたが、これらをパラレルシリアル変換してシリアルラインで伝送するようにすることもできる。その例を図 6 に示しておく。図 6 は各伝送装置モジュール 10A と中央処理部 51 との間を繋ぐアドレス/データ転送バス 31 など、架内配線の信号線の本数を少なくするために、データ/アドレスの線を並列・直列・並列に変換する例である。送信側では並列バス形式のアドレスバス A0, A1, A2, A3 を、伝送路に対してはシリアルデータに変換してシリアル伝送線で伝送し、受信側ではこれを再びパラレルデータに変換して並列バス形式のアドレスバス A0, A1, A2, A3 用のデータに戻す。

【0078】

【発明の効果】以上、詳述したように本発明によれば、モジュール、サブラックなどの複数部分で構成される伝送装置の警報監視制御部の構成を中央処理部 (CPU)

から見るとメモリのアドレス空間に配置することができるので、警報検出から予備系統への自動切り替えなど、複数モジュール間に亙る監視制御を従来のように、時間のかかる CPU 間通信処理を介さずに高速動作の可能なメモリアクセスのみで実施でき、従って、高速制御ができるようになるため、伝送装置の自動復旧時間を短縮することができる。

【0079】また、従来はモジュール単位、サブラック単位に CPU を設けていたため、CPU の数が多くなり、また、メモリ、I/O など、部品点数増加したり、制御のためのソフトウェアが大きくなる等の問題があったが、本発明では中央制御部に設けた 1 台の CPU で実施できるので、コストダウンを図れる。

【図面の簡単な説明】

【図 1】本発明の実施例を説明するための図であって、本発明の全体的な構成例を示すシステムブロック図。

【図 2】本発明の実施例を説明するための図であって、本発明の第 1 実施例の要部構成を示すブロック図。

【図 3】本発明の実施例を説明するための図であって、本発明システムで用いるデータ授受用メモリのアドレス割り付け例を示す図。

【図 4】本発明の実施例を説明するための図であって、本発明の第 2 実施例の要部構成を示すブロック図。

【図 5】本発明の他の実施例を説明するためのブロック図。

【図 6】本発明の他の実施例を説明するためのブロック図。

【図 7】従来例を説明するための図。

【図 8】従来例を説明するための図。

【符号の説明】

10A…伝送装置モジュール

23…I/O 部

24…データ転送バス

31…アドレス/データ転送バス

41…監視制御データ授受部

42…アドレス発生部

43…データ授受用メモリ

44…バスドライバ

45…バスドライバ/レシーバ

46…演算部

47, 48…バッファ

49…割り込み発生部

51…中央処理部

52…CPU

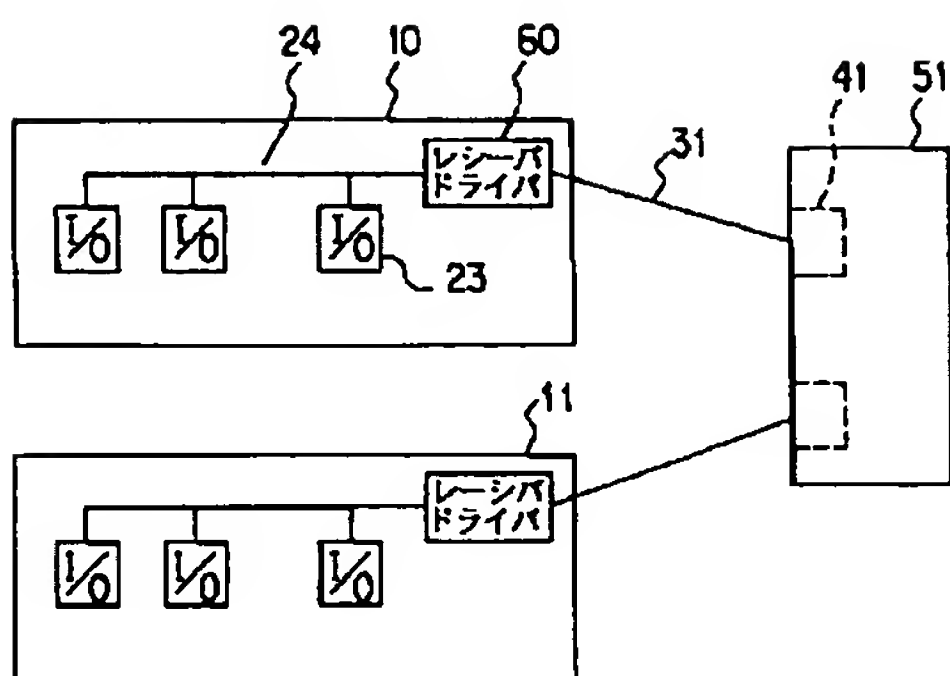
60…レシーバ/ドライバ

61…レシーバ

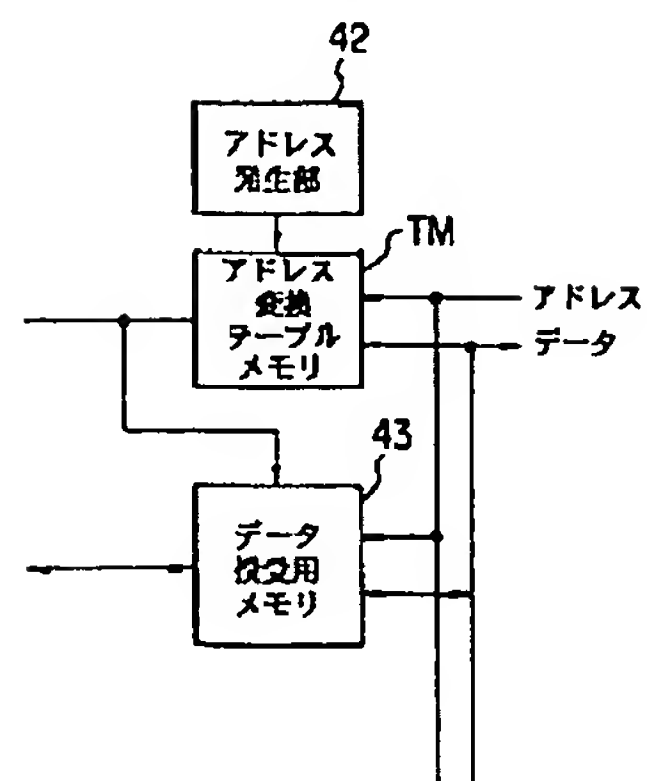
62…データ転送バスドライバ/レシーバ

TM…アドレス変換テーブルメモリ。

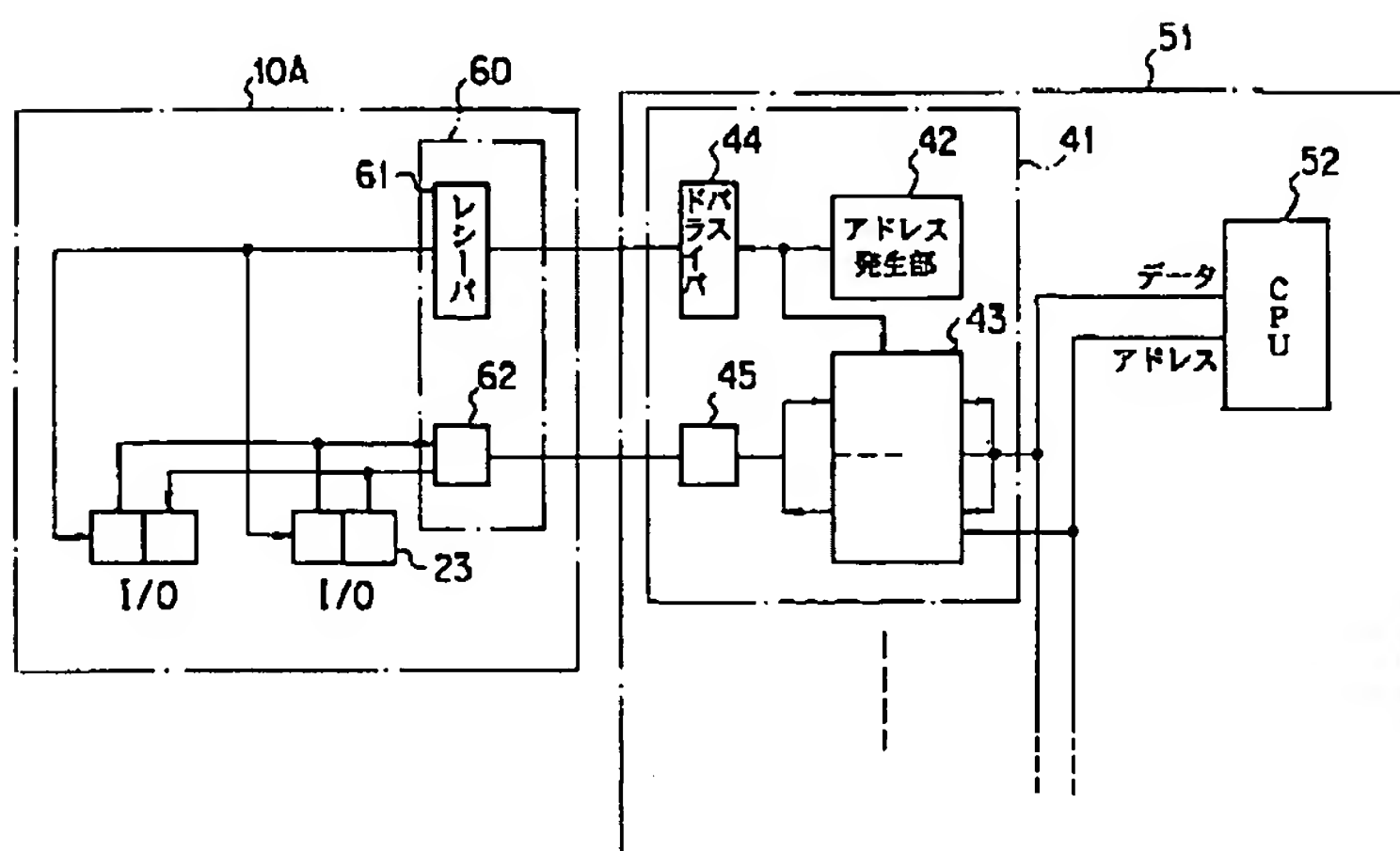
【図1】



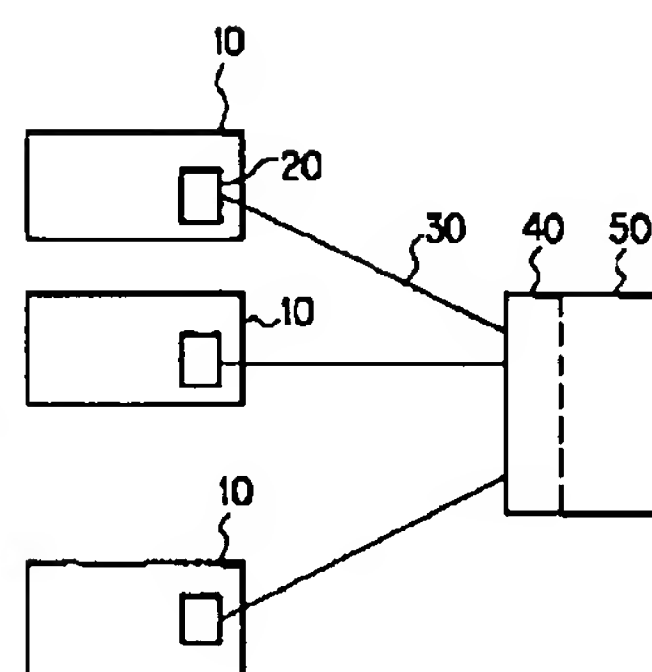
【図5】



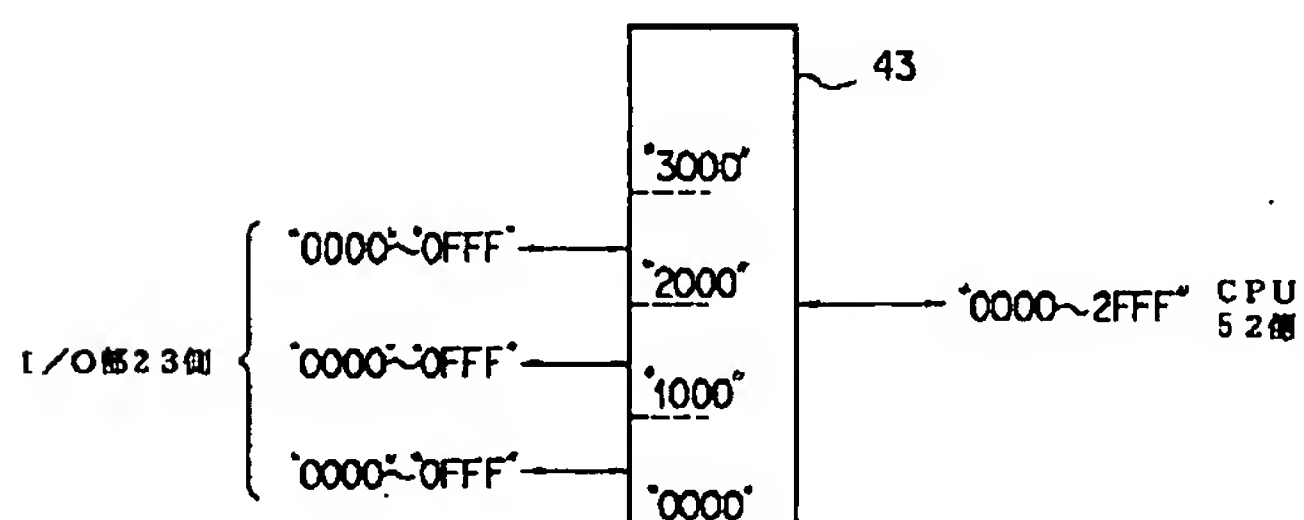
【図2】



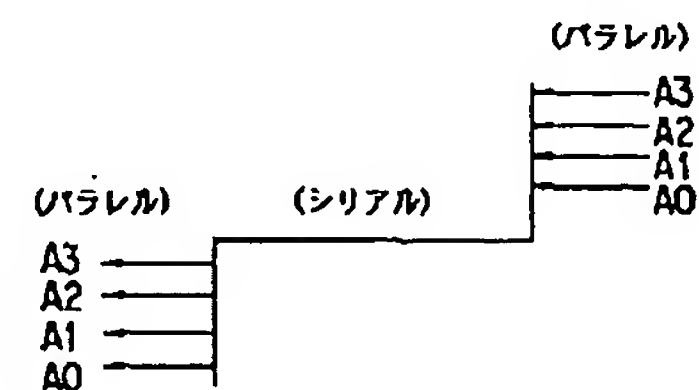
【図7】



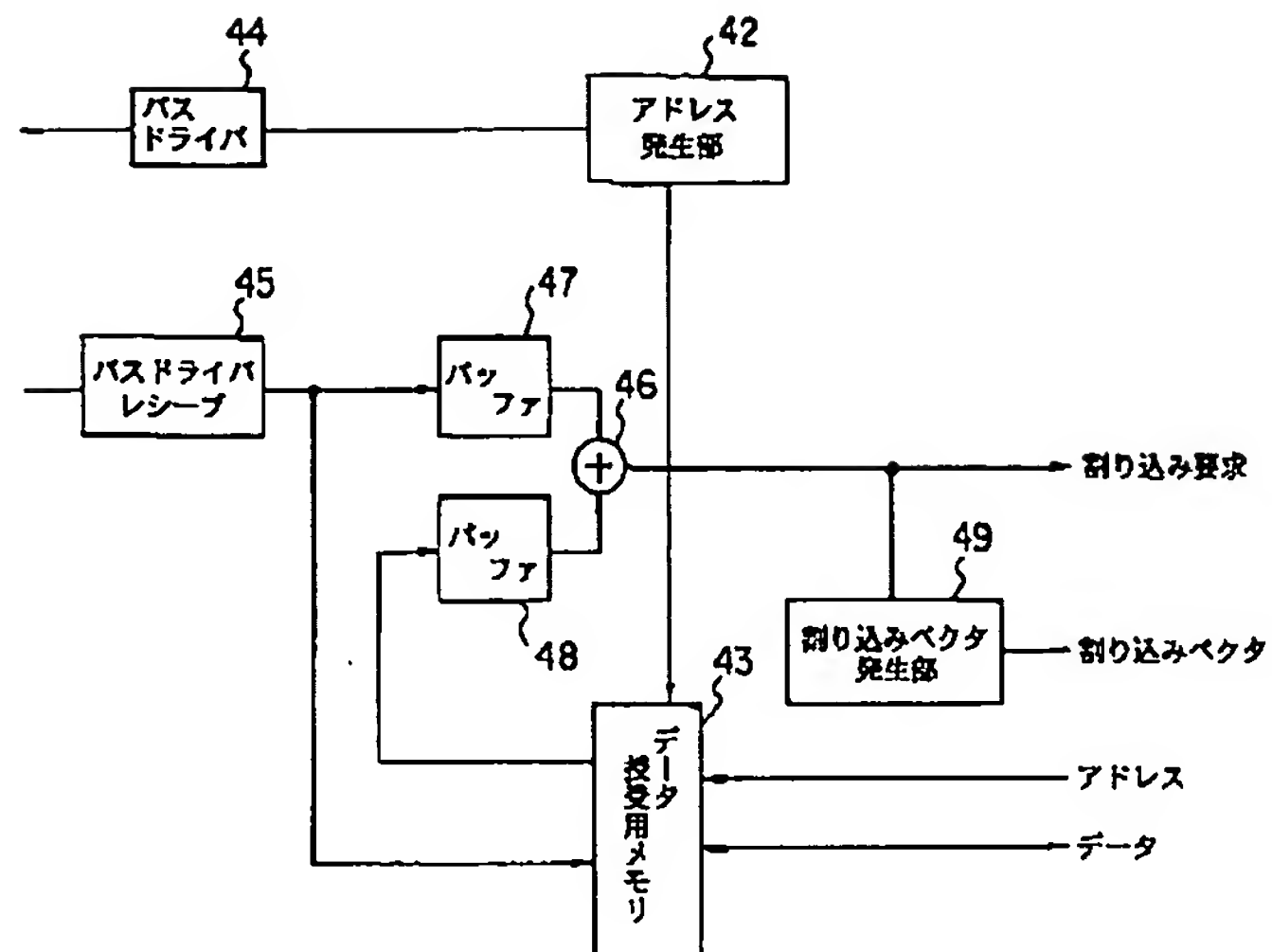
【図3】



【図6】



【図4】



【図8】

